

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05243510 A**

(43) Date of publication of application: **21.09.93**

(51) Int. Cl. **H01L 27/092**

(21) Application number: **04044160**

(22) Date of filing: 29.02.92

(71) Applicant: **NEC CORP**

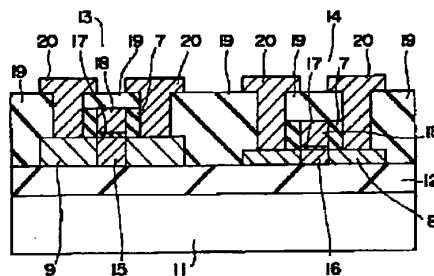
(72) Inventor: YOSHINO AKIRA

**(54) SEMICONDUCTOR INTEGRATED CIRCUIT
DEVICE AND MANUFACTURE THEREOF**

(57) Abstract:

PURPOSE: To furnish a semiconductor device and a manufacture thereof which optimize discretely the performance of each transistor on an SOI substrate and improve the characteristics of a PMOS transistor and an operating speed of a CMOS circuit.

CONSTITUTION: An oxide film 12 is formed on a P-type single-crystal silicon substrate 11, and on this oxide film 12, single-crystal layers 15 and 16 to be used for an NMOS transistor 13 and a PMOS transistor 14 are formed independently respectively. The thickness of the single-crystal silicon layer 16 for forming this PMOS transistor 14 is formed to be smaller than that of the single-crystal silicon layer 15 for forming the NMOS transistor.



COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-243510

(43)公開日 平成5年(1993)9月21日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/092

7342-4M

H 0 1 L 27/ 08

3 2 1 B

審査請求 未請求 請求項の数4(全 9 頁)

(21)出願番号

特願平4-44160

(22)出願日

平成4年(1992)2月29日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 吉野 明

東京都港区芝5丁目7番1号 日本電気株式会社内

(74)代理人 弁理士 藤巻 正憲

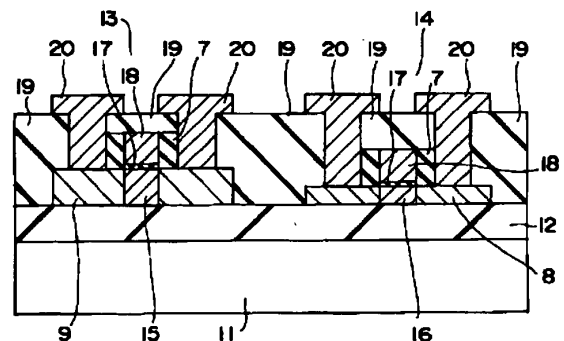
(54)【発明の名称】 半導体集積回路装置及びその製造方法

(57)【要約】

【目的】 SOI基板上における各トランジスタの性能を独立に最適化して、PMOSトランジスタの特性を向上させ、CMOS回路の動作速度が向上する半導体装置及びその製造方法を提供する。

【構成】 P型単結晶シリコン基板11上に酸化膜12が形成され、この酸化膜12上には、NMOSトランジスタ13及びPMOSトランジスタ14に使用する単結晶シリコン層15、16が夫々独立して形成されている。このPMOSトランジスタ14を形成するための単結晶シリコン層16の厚さは、NMOSトランジスタを形成するための単結晶シリコン層15の厚さより薄く形成されている。

7; 側壁
8; p⁺拡散層
9; n⁺拡散層
11; P型単結晶シリコン基板
12; 酸化膜層
13; NMOSトランジスタ
14; PMOSトランジスタ
18; ゲート電極
19; 層間膜
20; アルミ電極



【特許請求の範囲】

【請求項1】 絶縁体上に単結晶シリコン薄膜が形成され、この単結晶シリコン薄膜を含むPMOSトランジスタ及びNMOSトランジスタが構成された半導体集積回路において、前記PMOSトランジスタを形成するための単結晶シリコン薄膜の厚さが、前記NMOSトランジスタを形成するための単結晶シリコン薄膜の厚さよりも薄いことを特徴とする半導体集積回路装置。

【請求項2】 前記PMOSトランジスタを形成する単結晶シリコン薄膜の下の絶縁体の厚さの方が、前記NMOSトランジスタを形成する単結晶シリコン薄膜の下の絶縁体の厚さよりも厚いことを特徴とする請求項1に記載の半導体装置。

【請求項3】 絶縁体上に単結晶シリコン薄膜を形成したSOI基板の前記単結晶シリコン薄膜上に第1の熱酸化膜を形成する工程と、この第1の熱酸化膜上に窒化珪素薄膜を形成する工程と、NMOSトランジスタ部を含む第1の領域の窒化珪素薄膜は除去せずにPMOSトランジスタ部を含む第2の領域の窒化珪素薄膜のみを除去して前記第2の領域の前記第1の熱酸化膜の表面を露出させる工程と、前記第2の領域の単結晶シリコン薄膜の表面にのみ所望の厚さの第2の熱酸化膜を形成する工程と、前記窒化珪素薄膜を除去する工程と、前記第2の熱酸化膜及び前記第1の熱酸化膜を除去する工程とを有することを特徴とする半導体装置の製造方法。

【請求項4】 絶縁体上に単結晶シリコン薄膜を形成したSOI基板の前記単結晶シリコン薄膜上に第1の熱酸化膜を形成する工程と、NMOSトランジスタ部を含む第1の領域の前記第1の熱酸化膜は除去せずにPMOSトランジスタ部を含む第2の領域の前記第1の熱酸化膜だけを除去して前記第2の領域の単結晶シリコン薄膜の表面だけを露出させる工程と、前記第2の領域の単結晶シリコン薄膜の内部に酸素イオンを注入する工程と、前記第2の領域の単結晶シリコン薄膜の一部を熱処理を施して酸化させることにより前記第2の領域の単結晶シリコン薄膜の厚さを前記第1の領域の単結晶シリコン薄膜の厚さよりも薄くする工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は絶縁体上に単結晶シリコン薄膜を形成したSOI (silicon on insulatorの略称) 基板上に製造される半導体装置及びその製造方法に関する。

【0002】

【従来の技術】 大規模集積回路の集積密度が向上するにつれて、これを構成するMOSトランジスタのゲート電極の幅 (ゲート幅) が減少し、研究レベルでは、ゲート幅が0.25乃至0.10 μm のトランジスタの特性が議論されている。通常のシリコン基板上に形成したこの

ような微細MOSトランジスタでは、いわゆる「短チャネル効果」が極めて顕著になるため、この現象を十分に抑制しなければならない。このような制約の中で微細MOSトランジスタの性能を向上することは容易ではない。また、長期信頼性を確保する問題及びMOSトランジスタの微細化に伴い設計ルール of 縮小によって顕著になる素子分離特性の劣化も極めて深刻な問題の一つである。

【0003】 そこで、これらの問題を克服するために、従来のトランジスタ構造とは異なる新しい構造のトランジスタに関する研究開発が活発化している。一つの方法として、通常の単結晶シリコン基板の代わりに、絶縁体上に単結晶シリコン薄膜を形成した構造を有する基板、いわゆる、SOI基板を使用する方法が注目されている。このSOI基板の製造方法に関しても幾つかの技術が研究されているが、現時点において最も優れているのは、SIMOX (separation by implanted oxygenの略称) 技術である (例えば、泉勝俊ほか、エレクトロニクス レター、第14巻 (1978年) 593 ページ [K. Izumi et al., Electronics Letter, vol. 14, (1978) p. 593])。

SIMOXは、通常の単結晶シリコン基板の内部に、イオン注入技術を使用して高濃度の酸素原子を導入し、次に、高温熱処理を施すことによってSiO₂層を形成し、更に、このSiO₂層上に単結晶シリコン層を形成するという方法でSOI基板を形成する技術である。このSIMOXにおいては、加速エネルギー及び注入量等の酸素イオン注入条件と、引き続き実施する高温熱処理の条件とを最適化することによって、上記SiO₂層及びシリコン層の厚さを所望の値に設定できる。例えば、加速エネルギーを200 keVとし、注入量を $1.8 \times 10^{18} \text{ cm}^{-2}$ とする条件で酸素イオン¹⁶O⁺を注入した後、1300℃の温度で6時間以上加熱する熱処理を実施することによって、厚さが約4000 ÅのSiO₂層及び厚さが約1500 Åの単結晶シリコン層から成るSOI基板を製造できることが広く知られている。このSOI基板を使用する微細トランジスタの研究には、多くの研究者がSIMOX技術を使用しており、トランジスタ特性及び小規模回路の特性に関する以下に示すような、いくつかの報告がされている。SOI基板上にMOSトランジスタを製造する際に、単結晶シリコン層の厚さを、その不純物濃度で決定される最大空乏層幅よりも薄くすると、幾つかの特徴的な特性が観測される (例えば、吉見ほか、テクニカル ダイジェスト オブ アイ・イー・ディー・エム、1987年、640 ページ [Technical Digest of IEDM 1987, p. 640])。

最も重要な特性としては、以下のことが知られている。(1) ゲート長の減少に伴うしきい値電圧の低下が著しく抑制される。(2) サブスレショルド係数 (以後S値とする) が通常のトランジスタより小さく、しかも、ゲート長の減少に伴うS値の増加が極めて小さい。(3) 電流

駆動能力が向上する。

【0004】更に、SOI基板を用いることの他の利点として、素子分離特性が極めて優れている点が注目されている。隣接するトランジスタ間の電氣的分離が完全であるばかりでなく、いわゆるラッチアップ現象が構造的に完全に阻止できるため、SOI基板を使用すれば、相補型MOS回路（以下、CMOS回路とする）の集積度を飛躍的に向上できることが広く知られている。

【0005】

【発明が解決しようとする課題】しかしながら、従来の半導体装置におけるSOI基板上に形成したMOSトランジスタには、上述したような優れた利点があるにも拘らず、同時にSOI構造に起因する問題点がある。通常のNMOSトランジスタでは、動作時にドレイン端で発生する正孔は基板電流となってグランド線に流出する。ところが、シリコン層の厚さが薄くなる程、SOI基板上に形成したNMOSトランジスタ（以下、NMOS/SOIという）は、ドレイン端で発生した正孔が、ソース・ドレイン間の空乏層領域をソースに向かって走行するため、この領域の電位が上昇してソース障壁が低下する。その結果、より多くの電子がソースから流入してドレイン端に向かって加速され、ドレイン端での衝突電離によってより多くの正孔が発生してしまう。このような正帰還ループが形成され、ソース・ドレイン間のパンチスルーに至ってしまう（例えば、チェンほか、アイ・イー・イー・イー・エレクトロン デバイス レターズ、第9巻、第12号、1989年、636 ページ [C. E. Chen et al., IEEE Electron Device Letters, vol. EDL-9, no. 12 (1988) p. 636]）。従って、従来の技術で述べたSOI基板を使用することによる優れた特徴はシリコン層の厚さを薄くする程顕著になるが、上述したようにドレイン端の最大電界強度がシリコン層の厚さの減少に伴って増加するために、NMOS/SOIのソース・ドレイン間耐圧も同時に低下してしまう。

【0006】一方、PMOSでは、上記の現象は大きな問題になっていない。これは、PMOSにおいてはドレイン端での衝突イオン化率がNMOSの場合より低いためである。従って、SOI基板の同一厚さのシリコン層をNMOS部及びPMOS部で共通に有している従来構造の場合には、シリコン層の厚さは、NMOSにおけるソース・ドレイン間耐圧を最も重視してやや厚めに設定する必要があり、薄いシリコン層を有するSOI基板を使用することによって得られる上述した重要な利点を最大限に引き出すことが難しいという問題点がある。

【0007】本発明はかかる問題点に鑑みてなされたものであって、SOI基板上における各トランジスタの性能を独立に最適化して、PMOSトランジスタの特性を向上させ、CMOS回路の動作速度が向上する半導体装置及びその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明に係る半導体装置は、絶縁体上に単結晶シリコン薄膜が形成され、この単結晶シリコン薄膜を含むPMOSトランジスタ及びNMOSトランジスタが構成された半導体集積回路において、前記PMOSトランジスタを形成するための単結晶シリコン薄膜の厚さが、前記NMOSトランジスタを形成するための単結晶シリコン薄膜の厚さよりも薄いことを特徴とする。

【0009】本発明に係る半導体装置の製造方法は、絶縁体上に単結晶シリコン薄膜を形成したSOI基板の前記単結晶シリコン薄膜上に第1の熱酸化膜を形成する工程と、この第1の熱酸化膜上に窒化珪素薄膜を形成する工程と、NMOSトランジスタ部を含む第1の領域の窒化珪素薄膜は除去せずにPMOSトランジスタ部を含む第2の領域の窒化珪素薄膜のみを除去して前記第2の領域の前記第1の熱酸化膜の表面を露出させる工程と、前記第2の領域の単結晶シリコン薄膜の表面にのみ所望の厚さの第2の熱酸化膜を形成する工程と、前記窒化珪素薄膜を除去する工程と、前記第2の熱酸化膜及び前記第1の熱酸化膜を除去する工程とを有することを特徴とする。

【0010】また、本発明に係る半導体装置の製造方法は、絶縁体上に単結晶シリコン薄膜を形成したSOI基板の前記単結晶シリコン薄膜上に第1の熱酸化膜を形成する工程と、NMOSトランジスタ部を含む第1の領域の前記第1の熱酸化膜は除去せずにPMOSトランジスタ部を含む第2の領域の前記第1の熱酸化膜だけを除去して前記第2の領域の単結晶シリコン薄膜の表面だけを露出させる工程と、前記第2の領域の単結晶シリコン薄膜の内部に酸素イオンを注入する工程と、前記第2の領域の単結晶シリコン薄膜の一部を熱処理を施して酸化させることにより前記第2の領域の単結晶シリコン薄膜の厚さを前記第1の領域の単結晶シリコン薄膜の厚さよりも薄くする工程とを有することを特徴とする。

【0011】

【作用】本発明においては、PMOSトランジスタを形成するための単結晶シリコン薄膜の厚さを、NMOSトランジスタを形成するための単結晶シリコン薄膜の厚さよりも薄くしている。これにより、NMOSトランジスタは、単結晶シリコン薄膜が薄くなるとトランジスタ特性が劣化しやすいがPMOSトランジスタは、単結晶シリコン薄膜が薄くなっても、その特性が劣化しにくいという特徴を生かすことができ、このPMOSトランジスタは、単結晶シリコン薄膜を薄くすることにより得られる利点を最大限引き出すことができる。これにより、PMOSトランジスタの特性を向上させることができ、CMOS回路の動作速度を向上させることができる。

【0012】本発明方法においては、NMOSトランジスタ部を含む第1の領域の窒化珪素薄膜は除去せずにPMOSトランジスタ部を含む第2の領域の窒化珪素薄膜

だけを除去して、前記第2の領域だけの前記第1の熱酸化膜の表面を露出させている。これにより、熱処理によって前記第2の領域の単結晶シリコン薄膜の表面にだけ所望の厚さの第2の熱酸化膜を形成することができ、前記第2の領域の単結晶シリコン薄膜の厚さを所望の厚さまで減少させることができる。従って、前記第1の領域の単結晶シリコン薄膜の厚さを前記第2の領域の単結晶シリコン薄膜の厚さより薄く設定することができる。

【0013】また、NMOSトランジスタ部を含む第1の領域の第1の熱酸化膜は除去せずに、PMOSトランジスタ部を含む第2の領域の前記第1の熱酸化膜だけを除去して前記第2の領域の単結晶シリコン薄膜の表面だけを露出させている。これにより、前記第2の領域の単結晶シリコン薄膜にのみ酸素イオンを注入することができる。更に、熱処理を施すことにより、酸素イオンを注入した前記第2の領域の単結晶シリコン薄膜の一部のみを酸化させて、前記第2の領域の単結晶シリコン薄膜の厚さを前記第1の領域の単結晶シリコン薄膜の厚さよりも薄くすることができる。

【0014】

【実施例】本発明の実施例について添付の図面を参照して具体的に説明する。

【0015】図1は本発明の第1の実施例に係る半導体装置を示す断面図、図2乃至図12はこの本発明の第1の実施例に係る半導体装置の製造方法を工程順に示す断面図である。図1に示すように、P型単結晶シリコン基板11上に酸化膜層12が形成されている。この酸化膜層12の上には、NMOSトランジスタに使用するための単結晶のシリコン層15及びPMOSトランジスタに使用するための単結晶のシリコン層16が夫々、選択的に形成されている。このPMOS部のシリコン層16の厚さはNMOS部のシリコン層15の厚さよりも薄く形成されている。

【0016】また、このNMOS部のシリコン層15には、 n^+ 型拡散層9が選択的に形成されており、PMOS部のシリコン層16には p^+ 型拡散層8が選択的に形成されている。更に、このシリコン層15、16上にはゲート酸化膜17が選択的に形成され、このゲート酸化膜17上にはゲート電極18が形成されている。また、このゲート電極18の側面には側壁7が形成され、この側壁7及びゲート電極18上には層間膜19が形成されている。また、NMOSトランジスタ13及びPMOSトランジスタ14の間の酸化膜層12並びに n^+ 型拡散層9及び p^+ 型拡散層8の端部の上には層間膜19が形成されている。更に、 p^+ 型及び n^+ 型拡散層9、8上の側壁7及び層間膜19が形成されていない領域にはアルミ電極20が形成されている。

【0017】本実施例において、PMOSトランジスタ14を形成するためのシリコン層16の厚さは、NMOSトランジスタ13を形成するためのシリコン層15の

厚さよりも薄くしている。これにより、NMOSトランジスタ13は、シリコン層15が薄くなるとトランジスタ特性が劣化するがPMOSトランジスタ14は、シリコン層16が薄くなっても、その特性が劣化しないという特徴を生かすことができ、このPMOSトランジスタ14は、シリコン層16を薄くすることにより得られる利点を最大限引き出すことができる。これにより、PMOSトランジスタ14の特性を向上することができ、CMOS回路の動作速度を向上することができる。

【0018】次に、上述の如く構成された半導体装置の製造方法について説明する。先ず、図2に示すように、比抵抗が約 $20\Omega\cdot\text{cm}$ の通常のP型(100)単結晶シリコン基板21に対して、加速エネルギー 200keV で $1.8\times 10^{18}\text{cm}^{-2}$ まで酸素イオン $^{16}\text{O}^+$ を注入し、流量比で約0.5%の酸素を混入した乾燥窒素雰囲気中において、 1300°C で6時間から12時間の熱処理を施すことによって、厚さ約 3500\AA の酸化膜層22及び厚さ約 1500\AA の単結晶シリコン層23を形成する。

【0019】次に、図3に示すように、単結晶シリコン層上に厚さ約 400\AA の熱酸化膜24を形成し、この熱酸化膜24上に気相成長法により厚さ約 1000\AA の窒化膜25を形成する。

【0020】次に、図4に示すように、通常のリソグラフィ技術によりNMOSトランジスタ部26に対応する部分にのみフォトレジスト27をパターニングし、これをマスクとして異方性エッチングを施し、NMOSトランジスタ部26以外の窒化膜25を完全に除去して熱酸化膜24を露出する。

【0021】次に、図5に示すように、前記フォトレジスト27を完全に除去して、NMOSトランジスタ部26以外の単結晶シリコン層23を酸化して酸化膜28を形成する。この酸化膜28の厚さを制御することにより、NMOSトランジスタ部26以外の単結晶シリコン層23の厚さを精密に制御できる。例えば、厚さ約 2000\AA の熱酸化膜28を形成すれば、NMOSトランジスタ部26以外の単結晶シリコン層23は約 1000\AA 酸化されるため、残ったシリコン層23の厚さは約 500\AA になる。このとき、NMOSトランジスタ部26は、窒化膜25によって保護されているため酸化されない。

【0022】次に、図6に示すように、加熱したリン酸溶液を使用して窒化膜25を除去し、希釈フッ酸溶液を使用して熱酸化膜28を除去する。

【0023】次に、図7に示すように、露出した単結晶シリコン層23の表面に厚さ約 150\AA の熱酸化膜29を形成した後、通常のリソグラフィ技術により素子分離領域30以外の部分、つまりNMOSトランジスタ部26及びPMOSトランジスタ部31にのみフォトレジスト32が残るようにパターニングを施す。次に、このフ

フォトレジスト32をマスクとして、異方性エッチング技術により素子分離領域30の熱酸化膜29及び単結晶シリコン層23を順に除去する。

【0024】次に、図8に示すように、リソグラフィ技術によりPMOSTランジスタ部31をフォトレジスト33でマスクし、NMOSTランジスタ部26の単結晶シリコン層23にのみボロンイオン34を、例えば、加速エネルギー30keV及び注入量 $2.0 \times 10^{12} \text{ cm}^{-2}$ の条件で注入する。

【0025】次に、図9に示すように、フォトレジスト33を除去して、NMOSTランジスタ部26をフォトレジスト35でマスクし、PMOSTランジスタ部31の単結晶シリコン層23にのみリンイオン36を、例えば、加速エネルギー30keV及び注入量 $1.0 \times 10^{12} \text{ cm}^{-2}$ の条件で注入する。フォトレジスト35を除去して、乾燥窒素雰囲気中において、例えば、約900℃で10分間の熱処理を施して、注入した不純物を活性化する。

【0026】次に、図10に示すように、希釈フッ酸溶液を使用して熱酸化膜29を除去し、単結晶シリコン層23表面に厚さ約100Åのゲート酸化膜37を形成する。次に、気相成長法により厚さ約4000Åの多結晶シリコン膜（図示せず）を全面に堆積して形成し、この多結晶シリコン膜に高濃度のリンを拡散して、リソグラフィ技術及び異方性エッチング技術により線幅が約0.3μmのゲート電極38を形成する。

【0027】次に、図11に示すように、気相成長法により厚さ約1500ÅのCVD酸化膜（図示せず）を全面に堆積して、異方性エッチング技術によりゲート電極38の側面にCVD酸化膜の側壁39を形成する。このCVD酸化膜の異方性エッチングを施す際に、ゲート電極38の下部以外のゲート酸化膜37はエッチングされてしまう。次に、図8及び図9で示した工程と同様に、不純物イオンを注入して短時間の熱処理を施し n^+ 型拡散層40及び p^+ 型拡散層41を形成する。

【0028】次に、図12に示すように、通常の層間膜形成技術により、全面に層間膜42を形成する。更に、リソグラフィ技術及び異方性エッチング技術により、ゲート電極38の両側の上記 n^+ 型拡散層40及び p^+ 型拡散層41上にコンタクトホールを形成して、スパッタ技術により厚さ約5000Åのアルミ膜を形成する。次に、リソグラフィ技術及び異方性エッチング技術によりアルミ電極43を形成して、半導体装置が完成する。

【0029】本実施例においては、NMOSTランジスタ部26の窒化膜25は除去せずにPMOSTランジスタ部31の窒化膜25だけを除去して、PMOSTランジスタ部31の第1の熱酸化膜24の表面を露出させている。これにより、熱処理によってPMOSTランジスタ部31の単結晶シリコン層23の表面にだけ所望の厚さの第2の熱酸化膜28を形成することができ、PMO

STRANジスタ部31の単結晶シリコン層23の厚さを所望の厚さまで減少させることができる。従って、NMOSTランジスタ部26の単結晶シリコン層23の厚さ及びPMOSTランジスタ部31の単結晶シリコン層23の厚さを別々に設定することができる。これにより、各トランジスタの性能を独立に最適化することができる。半導体装置の製造方法を提供することができる。

【0030】次に、第2の実施例について説明する。図13は本発明の第2の実施例に係る半導体装置の一工程を示す断面図、図14乃至図19は本発明の第2の実施例に係る半導体装置の製造方法を工程順に示す断面図である。図13に示すように、PMOSTランジスタ54のシリコン層56の厚さがNMOSTランジスタ53のシリコン層55の厚さより薄く形成されていることは、図1に示した第1の実施例と同じであるが、本実施例では、PMOSTランジスタ54の領域のP型単結晶シリコン基板51上に形成されている酸化膜層52の厚さがNMOSTランジスタ53の領域の酸化膜層52より厚く形成されており、NMOSTランジスタ53のシリコン層55の表面とPMOSTランジスタ54のシリコン層56の表面位置がほぼ水平になっている。言い換えれば、NMOSTランジスタ53及びPMOSTランジスタ54の間の段差が、第1の実施例の場合よりも小さくなっている。また、その他のゲート酸化膜57、ゲート電極58、層間膜59及びアルミ電極60は第1の実施例と同じように形成されている。

【0031】従って、本実施例においては、第1の実施例で述べた効果に加えて層間膜59の平坦化が容易になるため、多層配線構造の大規模集積回路の場合には、配線の信頼性を著しく向上できるという利点がある。また、第2の実施例の構造では、酸化膜層52の厚さは、NMOSTランジスタよりもPMOSTランジスタの方が厚くなっているため、ソース・ドレインの寄生容量をさらに低減できて、回路の動作速度を向上できる利点がある。

【0032】次に、この第2の実施例に係る半導体装置の製造方法を説明する。

【0033】先ず、図14に示すように、図1に示す工程と同じ方法によりP型単結晶シリコン基板71上に酸化膜層72及び単結晶シリコン層73を順次形成してSOI基板を形成する。

【0034】次に、図15に示すように、単結晶シリコン層73上に気相成長法により厚さ約1μmのCVD酸化膜74を形成して、リソグラフィ技術によりPMOSTランジスタ部76のCVD酸化膜74の表面だけが露出するようにフォトレジスト75をパターンニングする。次に、このフォトレジスト75をマスクとして、異方性エッチング技術によりPMOSTランジスタ部76のCVD酸化膜74だけを除去する。

【0035】次に、図16に示すように、フォトレジス

ト75を除去して、基板全面に酸素イオン77を注入する。酸素イオン注入の条件は、例えば、加速エネルギー約200keV及び注入量約 $0.3 \times 10^{18} \text{cm}^{-2}$ に設定する。そして、CVD酸化膜74がマスクとなるため、酸素イオンはPMOSトランジスタ部76の単結晶シリコン層73にのみ注入され、損傷層78が形成される。また、この損傷層78の内部には高濃度の酸素原子が含まれるが、その濃度は表面から酸化膜層72に向かって急激に増加するような分布になっている。

【0036】次に、図17に示すように、CVD酸化膜74を除去して、図2で示した工程と同じ熱処理を施すことによって、損傷層78の注入損傷を回復させる。この熱処理中に、損傷層78内部の酸素原子が再配列して損傷層78を内部から酸化するため、PMOSトランジスタ部76の酸化膜層72の厚さが増加し、シリコン層73の厚さが減少する。酸化膜層72の厚さの増加及びシリコン層73の厚さの減少は、図16に示す工程において実施する酸素イオン注入の条件に依存する。この場合には、例えば、酸化膜層72の厚さは約800Å増加し、シリコン層73の厚さは約500Å減少する。この段階は、第1の実施例の図6に示す工程に対応している。

【0037】次に、図18に示すように第1の実施例の図7に示す工程において説明した手順と同じ方法により素子分離領域79を形成し、NMOS部のシリコン層80とPMOS部のシリコン層81を分離する。

【0038】次に、図19に示すように、各シリコン層80、81上に第1の実施例と同様にしてゲート酸化膜82及びゲート電極83を形成する。以降の工程は、第1の実施例の場合と同様に実施して、図13に示す本発明の第2の実施例に係る半導体装置が完成する。

【0039】本実施例方法においては、NMOSトランジスタ部84領域のCVD酸化膜74は除去せずにPMOSトランジスタ部76領域の単結晶シリコン層73の表面を露出させている。これにより、PMOSトランジスタ部76領域の単結晶シリコン層73の内部だけに酸素イオンを注入して熱処理を施し酸化膜層72の厚さを増すことができる。従って、PMOS部のシリコン層81の厚さを、NMOS部のシリコン層80の厚さよりも薄くすることができ、また、各シリコン層80、81の表面位置を水平にすることができる。

【0040】

【発明の効果】以上説明したように、本発明は、SOI基板上におけるNMOSトランジスタ部の単結晶シリコン薄膜の厚さ及びPMOSトランジスタ部の単結晶シリコン薄膜の厚さを独立に設定することによって、各トランジスタの性能を個別的に最適化できるため、通常の単結晶シリコン基板上では極めて困難になりつつあるPMOSトランジスタの超微細化が可能になり、これにより、PMOSトランジスタの特性を著しく向上できる結

果、CMOS回路の動作速度を飛躍的に向上することができる。また、SOI基板は、素子間分離特性が飛躍的に向上し、かつラッチアップ現象を完全に抑制できるため、本発明によれば、通常のシリコン基板では実現不可能な、信頼性が飛躍的に向上した超高密度の超高速集積回路を実現できる半導体装置及びその製造方法を提供することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係る半導体装置を示す断面図である。

【図2】本発明の第1の実施例に係る半導体装置の製造方法における一工程を示す断面図である。

【図3】同じくその実施例方法における他の一工程を示す断面図である。

【図4】同じくその実施例方法における他の一工程を示す断面図である。

【図5】同じくその実施例方法における他の一工程を示す断面図である。

【図6】同じくその実施例方法における他の一工程を示す断面図である。

【図7】同じくその実施例方法における他の一工程を示す断面図である。

【図8】同じくその実施例方法における他の一工程を示す断面図である。

【図9】同じくその実施例方法における他の一工程を示す断面図である。

【図10】同じくその実施例方法における他の一工程を示す断面図である。

【図11】同じくその実施例方法における他の一工程を示す断面図である。

【図12】同じくその実施例方法における他の一工程を示す断面図である。

【図13】本発明の第2の実施例に係る半導体装置を示す断面図である。

【図14】本発明の第2の実施例に係る半導体装置の製造方法における一工程を示す断面図である。

【図15】同じくその実施例方法における他の一工程を示す断面図である。

【図16】同じくその実施例方法における他の一工程を示す断面図である。

【図17】同じくその実施例方法における他の一工程を示す断面図である。

【図18】同じくその実施例方法における他の一工程を示す断面図である。

【図19】同じくその実施例方法における他の一工程を示す断面図である。

【符号の説明】

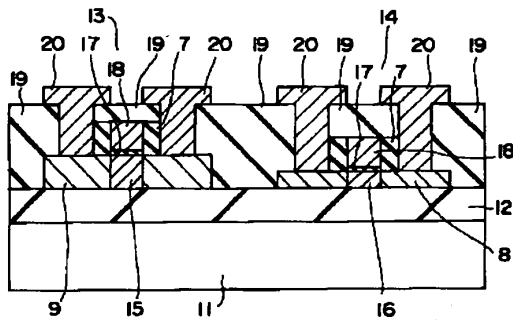
11、21、51、71；P型単結晶シリコン基板
12、22、52、72；酸化膜層
23、73；単結晶シリコン層

74; CVD酸化膜
 24, 28, 29; 熱酸化膜
 25; 窒化膜
 13, 53; NMOSトランジスタ
 26, 84; NMOSトランジスタ部
 27, 32, 33, 35, 75; フォトリソスト
 77; 酸素イオン
 78; 損傷層
 30, 79; 素子分離領域
 15, 55, 80; NMOS部のシリコン層
 16, 56, 81; PMOS部のシリコン層

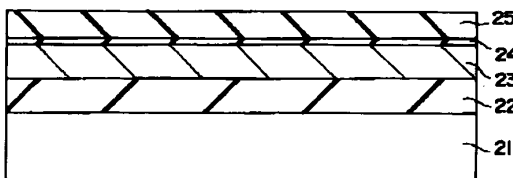
14, 54; PMOSトランジスタ
 31, 76; PMOSトランジスタ部
 34; ボロニオン
 36; リンイオン
 18, 38, 58, 83; ゲート電極
 17, 37, 57, 82; ゲート酸化膜
 7, 39; 側壁
 9, 40; n^+ 型拡散層
 8, 41; p^+ 型拡散層
 19, 42, 59; 層間膜
 20, 43, 60; アルミ電極

【図1】

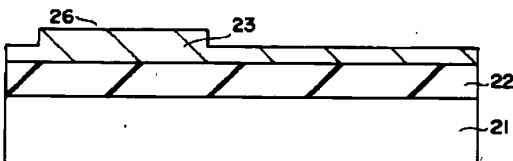
7; 側壁
 8; p^+ 型拡散層
 9; n^+ 型拡散層
 11; P型単結晶シリコン基板
 12; 酸化膜層
 13; NMOSトランジスタ
 14; PMOSトランジスタ
 18; ゲート電極
 19; 層間膜
 20; アルミ電極



【図3】

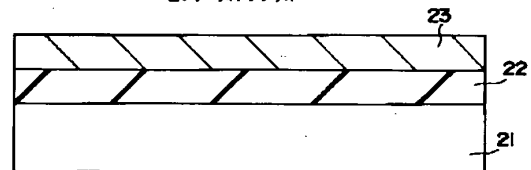


【図6】

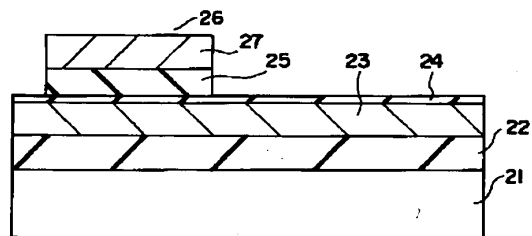


【図2】

21; P型単結晶シリコン基板
 22; 酸化膜
 23; 単結晶シリコン層
 24; 熱酸化膜
 25; 窒化膜
 26; NMOSトランジスタ部
 27; フォトリソスト

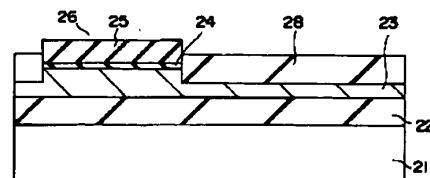


【図4】

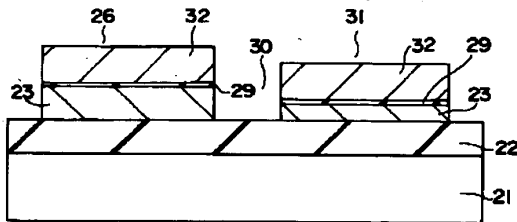


【図5】

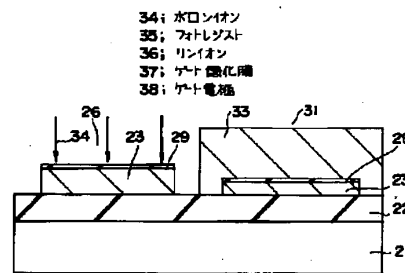
28; 熱酸化膜
 29; 熱酸化膜
 30; 素子分離領域
 31; PMOSトランジスタ部
 32; フォトリソスト



【図7】



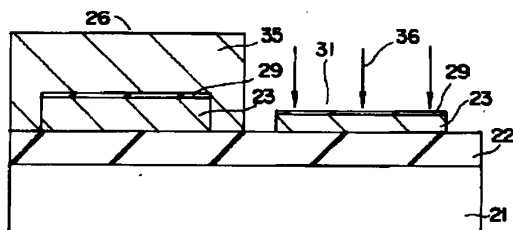
【図8】



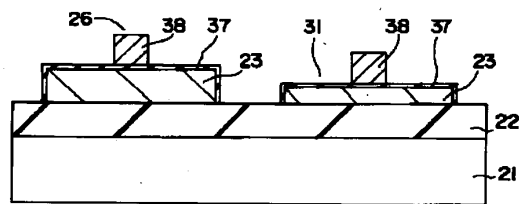
【図17】

79: 素子分離領域
80: NMOS部のシリコン層
81: PMOS部のシリコン層
82: ゲート酸化膜
83: ゲート電極

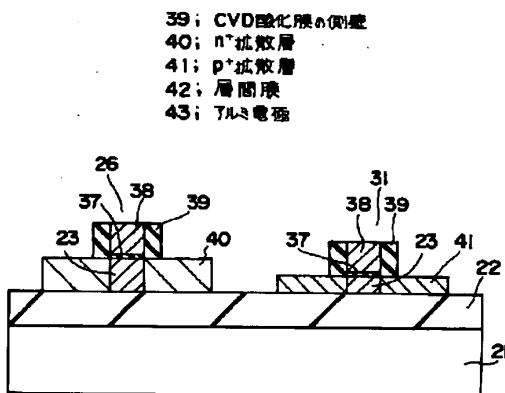
【図9】



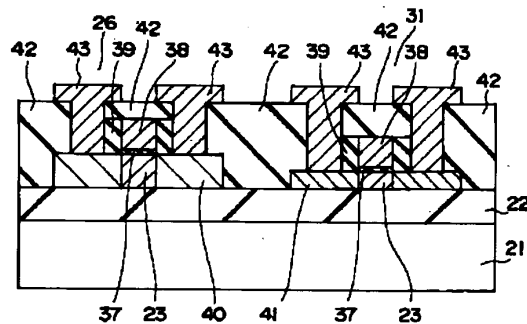
【図10】



【図11】

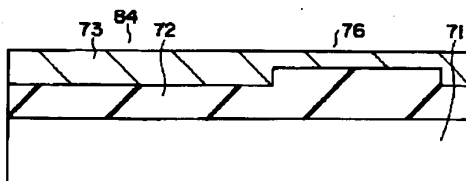
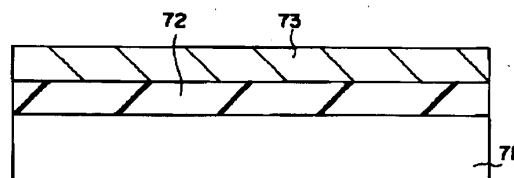


【図12】



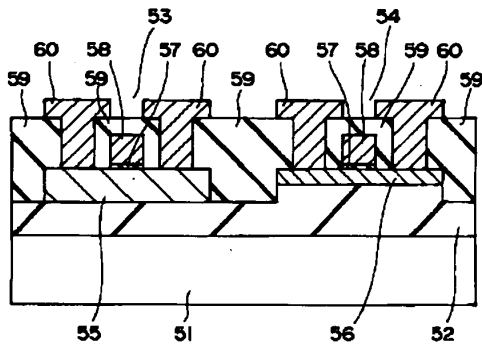
【図14】

71: P型単結晶シリコン基板
72: 酸化膜層
73: 単結晶シリコン層
74: CVD酸化膜
75: フォトリソスト
76: PMOSトランジスタ部
77: 酸素イオン
78: 損傷層
84: NMOSトランジスタ部

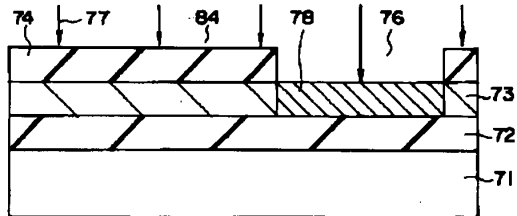


【図13】

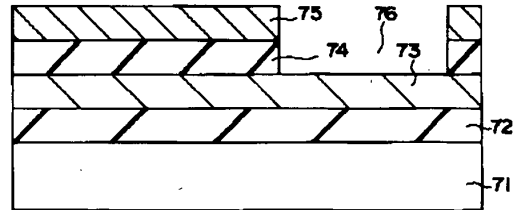
51: P型単結晶シリコン基板
 52: 酸化層
 53: NMOSトランジスタ
 54: PMOSトランジスタ
 55: NMOS部のシリコン層
 56: PMOS部のシリコン層
 57: ゲート酸化層
 58: ゲート電極



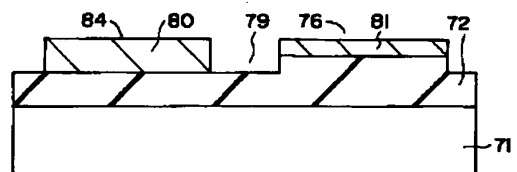
【図16】



【図15】



【図18】



【図19】

